

产品特性

低功耗:

AD7915

4 mW (1 MSPS, 仅VDD)

7 mW (1 MSPS, 总功耗)

AD7916

2 mW (500 kSPS, 仅VDD)

3.7 mW (500 kSPS, 总功耗)

16位分辨率、无失码

吞吐速率: 1 MSPS (AD7915)/500 kSPS (AD7916)

积分非线性(INL): ± 0.4 LSB (典型值), ± 1 LSB (最大值)

信噪比(SNR): 94 dB (1 kHz, $V_{REF} = 5$ V)

信纳比(SINAD): 93.5 dB (1 kHz, $V_{REF} = 5$ V)

总谐波失真(THD): -118.5 dB (1 kHz)

动态范围: 95.5 dB ($V_{REF} = 5$ V)

真差分模拟输入范围: $\pm V_{REF}$

0 V至 V_{REF} (V_{REF} 介于2.4 V和5.1 V之间)

无流水线延迟

采用2.5 V单电源供电, 提供1.8 V/2.5 V/3 V/5 V逻辑接口

专有串行接口: SPI-/QSPI-/MICROWIRE™-/DSP-兼容¹

能够以菊花链形式连接多个ADC

10引脚封装: MSOP和3 mm × 3 mm LFCSP

应用

电池供电设备

数据采集系统

医疗仪器

地震数据采集系统

概述

AD7915/AD7916是16位、逐次逼近型模数转换器(ADC), 采用单电源VDD供电。器件内置一个低功耗、高速、16位采样ADC和一个多功能串行接口端口。在CNV上升沿, AD7915/AD7916对IN+与IN-引脚之间的电压差进行采样, 这两个引脚上的电压摆幅通常在0 V至 V_{REF} 之间、相位相反。基准电压(REF)由外部提供, 并且可以独立于电源电压(VDD)。AD7915/AD7916的功耗与吞吐速率呈线性变化关系。

AD7915/AD7916兼容串行外设接口(SPI), 能够利用SDI输入将几个ADC以菊花链形式连接到单三线式总线上。采用独立电源VIO时, 这些器件与1.8 V、2.5 V、3 V和5 V逻辑兼容。

AD7915/AD7916采用10引脚MSOP封装或10引脚LFCSP封装, 工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 。

表1. MSOP、LFCSP 14/16/18位PuLSAR® ADC

Bits	100 kSPS	250 kSPS	400 kSPS至500 kSPS	≥ 1000 kSPS
18 ¹	AD7989-1 ²	AD7691 ²	AD7690 ² AD7989-5 ²	AD7982 ² AD7984 ²
16 ¹	AD7684	AD7687 ²	AD7688 ² AD7693 ² AD7916 ²	AD7915 ²
16 ³	AD7680 AD7683 AD7988-1 ²	AD7685 ² AD7694	AD7686 ² AD7988-5 ²	AD7980 ² AD7983 ²
14 ³	AD7940	AD7942 ²	AD7946 ²	

¹ 真差分。

² 引脚兼容。

³ 伪差分。

典型应用电路

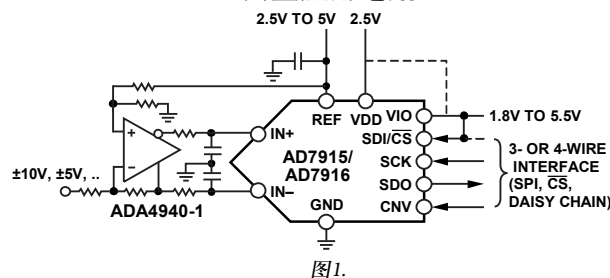


图1.

¹ 受美国专利第6,703,961号保护。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2015 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	单端转差分驱动器	16
应用	1	基准电压输入	16
概述	1	电源	16
典型应用电路	1	数字接口	16
修订历史	2	$\overline{\text{CS}}$ 模式(三线式且无繁忙指示)	17
技术规格	3	$\overline{\text{CS}}$ 模式(三线式且有繁忙指示)	18
时序规格	5	$\overline{\text{CS}}$ 模式(四线式且无繁忙指示)	19
绝对最大额定值	6	$\overline{\text{CS}}$ 模式(四线式且有繁忙指示)	20
ESD警告	6	链模式(无繁忙指示)	21
引脚配置和功能描述	7	链模式(有繁忙指示)	22
典型性能参数	8	应用信息	23
术语	12	与Blackfin DSP接口	23
工作原理	13	布局布线	23
电路信息	13	评估AD7915/AD7916性能	24
转换器操作	13	外形尺寸	25
典型连接图	14	订购指南	25
模拟输入	15		
驱动放大器选择	15		

修订历史

2015年3月—修订版0：初始版

技术规格

除非另有说明, $V_{DD} = 2.5\text{ V}$, $V_{IO} = 2.3\text{ V}$ 至 5.5 V , $V_{REF} = 5\text{ V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		16			位
模拟输入					
电压范围	$IN+ - IN-$	$-V_{REF}$		$+V_{REF}$	V
绝对输入电压	$IN+, IN-$	-0.1		$V_{REF} + 0.1$	V
共模输入范围	$IN+, IN-$	$V_{REF} \times 0.475$	$V_{REF} \times 0.5$	$V_{REF} \times 0.525$	V
模拟输入共模抑制比(CMRR)	$f_{IN} = 450\text{ kHz}$		60		dB
25°C时漏电流	采集阶段		1		nA
输入阻抗		参见模拟输入部分			
精度					
无失码		16			Bits
差分非线性(DNL)误差	$V_{REF} = 5\text{ V}$ $V_{REF} = 2.5\text{ V}$	-0.9	± 0.4 ± 0.5	+0.9	LSB ¹ LSB ¹
积分非线性(INL)误差	$V_{REF} = 5\text{ V}$ $V_{REF} = 2.5\text{ V}$	-1	± 0.4 ± 0.5	+1	LSB ¹ LSB ¹
跃迁噪声	$V_{REF} = 5\text{ V}$ $V_{REF} = 2.5\text{ V}$		0.75 1.2		LSB ¹ LSB ¹
增益误差 ²	T_{MIN} 至 T_{MAX}	-10	0	+10	LSB ¹
增益误差温漂			± 0.23		ppm/°C
零电平误差 ²	T_{MIN} 至 T_{MAX}	-0.5	± 0.08	+0.5	mV
零温漂			0.28		ppm/°C
电源灵敏度	$V_{DD} = 2.5\text{ V} \pm 5\%$		± 0.1		dB
吞吐速率					
AD7915转换速率		0		1000	kSPS
AD7916转换速率		0		500	kSPS
瞬态响应	满量程阶跃			290	ns
交流精度					
动态范围	$V_{REF} = 5\text{ V}$ $V_{REF} = 2.5\text{ V}$		95.5 92		dB ³ dB ³
过采样动态范围 ⁴	$f_O = 10\text{ kSPS}$		113.5		dB ³
信噪比(SNR)	$f_{IN} = 1\text{ kHz}, V_{REF} = 5\text{ V}$ $f_{IN} = 1\text{ kHz}, V_{REF} = 2.5\text{ V}$	93 89	94 91		dB ³ dB ³
无杂散动态范围(SFDR)	$f_{IN} = 1\text{ kHz}$		-118		dB ³
总谐波失真(THD)	$f_{IN} = 1\text{ kHz}$		-118.5		dB ³
信纳比(SINAD)	$f_{IN} = 1\text{ kHz}, V_{REF} = 5\text{ V}$ $f_{IN} = 1\text{ kHz}, V_{REF} = 2.5\text{ V}$		93.5 90.5		dB ³ dB ³
基准电压					
电压范围		2.4		5.1	V
负载电流	$V_{REF} = 5\text{ V}$		330		μA
采样动态性能					
-3 dB输入带宽			10		MHz
孔径延迟	$V_{DD} = 2.5\text{ V}$		2		ns

AD7915/AD7916

参数	测试条件/注释	最小值	典型值	最大值	单位
数字输入					
逻辑电平					
V_{IL}	$V_{IO} > 3\text{ V}$	-0.3		$+0.3 \times V_{IO}$	V
	$V_{IO} \leq 3\text{ V}$	-0.3		$+0.1 \times V_{IO}$	V
V_{IH}	$V_{IO} > 3\text{ V}$	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
	$V_{IO} \leq 3\text{ V}$	$0.9 \times V_{IO}$		$V_{IO} + 0.3$	V
I_{IL}		-1		+1	μA
I_{IH}		-1		+1	μA
数字输出					
数据格式		串行, 16位, 二进制补码			
流水线延迟		转换完成后转换结果立即可用			
V_{OL}	$I_{SINK} = 500\ \mu\text{A}$			0.4	V
V_{OH}	$I_{SOURCE} = -500\ \mu\text{A}$	$V_{IO} - 0.3$			V
电源					
VDD		2.375	2.5	2.625	V
VIO	额定性能	2.3		5.5	V
VIO范围	工作范围	1.8		5.5	V
待机电流 ^{5,6}	VDD和VIO = 2.5 V, $T_A = 25^\circ\text{C}$		0.35		μA
AD7915功耗	VDD = 2.625 V, $V_{REF} = 5\text{ V}$, VIO = 3 V				
总计	10 kSPS吞吐速率		70		μW
	1 MSPS吞吐速率量		7	9	mW
仅VDD			4		mW
仅REF			1.7		mW
仅VIO			1.3		mW
AD7916功耗	VDD = 2.625 V, $V_{REF} = 5\text{ V}$, VIO = 3 V				
总计	500 kSPS吞吐速率		3.7	4.5	mW
仅VDD			2		mW
仅REF			0.85		mW
仅VIO			0.85		mW
每次转换的能量			7.0		nJ/ nJ/采样
温度范围					
额定性能	T_{MIN} 至 T_{MAX}	-40		+125	$^\circ\text{C}$

¹ LSB表示最低有效位。 $\pm 5\text{ V}$ 输入范围时, $1\text{ LSB} = 152.6\ \mu\text{V}$ 。

² 参见“术语”部分。这些规格包括整个温度范围内的波动, 但不包括外部基准电压源的误差贡献。

³ 除非另有说明, 所有用分贝(dB)表示的特性均参考满量程输入FSR, 并用低于满量程0.5 dB的输入信号进行测试。

⁴ 动态范围的获得方式是在吞吐速率 f_s 为1 MSPS时对ADC执行过采样, 然后使用 f_s 的输出字速率执行数字后滤波。

⁵ 根据需要, 所有数字输入强制接VIO或地。

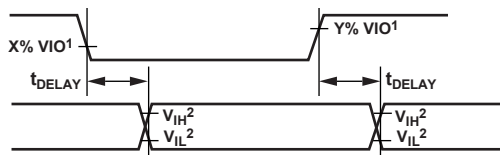
⁶ 采集阶段。

时序规格

除非另有说明, $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{DD} = 2.37\text{ V}$ 至 2.63 V , $V_{IO} = 2.3\text{ V}$ 至 5.5 V , $C_{\text{LOAD_SDO}} = 20\text{ pF}$ 。电平参见图2。

表3.

参数	符号	最小值	典型值	最大值	单位
AD7915					
吞吐速率				1	MSPS
转换时间: CNV上升沿至数据可用	t_{CONV}	500		710	ns
采集时间	t_{ACQ}	290			ns
转换间隔时间	t_{CYC}	1			μs
AD7916					
吞吐速率				500	KSPS
转换时间: CNV上升沿至数据可用	t_{CONV}	0.5		1.6	μs
采集时间	t_{ACQ}	400			ns
转换间隔时间	t_{CYC}	2			μs
CNV脉冲宽度(CS模式)	t_{CNWH}	10			ns
SCK周期(CS模式)	t_{SCK}				
VIO高于4.5 V		10.5			ns
VIO高于3 V		12			ns
VIO高于2.7 V		13			ns
VIO高于2.3 V		15			ns
SCK周期(链模式)	t_{SCK}				
VIO高于4.5 V		11.5			ns
VIO高于3 V		13			ns
VIO高于2.7 V		14			ns
VIO高于2.3 V		16			ns
SCK低电平时间	t_{SCKL}	4.5			ns
SCK高电平时间	t_{SCKH}	4.5			ns
SCK下降沿至数据仍然有效	t_{HSDO}	3			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				
VIO高于4.5 V				9.5	ns
VIO高于3 V				11	ns
VIO高于2.7 V				12	ns
VIO高于2.3 V				14	ns
CNV或SDI低电平至SDO D15 MSB有效($\overline{\text{CS}}$ 模式)	t_{EN}				
VIO高于3 V				10	ns
VIO高于2.3 V				15	ns
CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态($\overline{\text{CS}}$ 模式)	t_{DIS}			20	ns
CNV上升沿至SDI有效建立时间($\overline{\text{CS}}$ 模式)	t_{SSDICNV}	5			ns
CNV上升沿至SDI有效保持时间($\overline{\text{CS}}$ 模式)	t_{HSDICNV}	2			ns
CNV上升沿至SCK有效建立时间(链模式)	t_{SSCKCNV}	5			ns
CNV上升沿至SCK有效保持时间(链模式)	t_{HSCKCNV}	5			ns
SCK下降沿至SDI有效建立时间(链模式)	t_{SSDISCK}	2			ns
SCK下降沿至SDI有效保持时间(链模式)	t_{HSDISCK}	3			ns
SDI高电平至SDO高电平(链模式且有繁忙指示)	t_{DSDOSDI}			15	ns



¹FOR $V_{IO} \leq 3.0\text{ V}$, $X = 90$ AND $Y = 10$; FOR $V_{IO} > 3.0\text{ V}$, $X = 70$ AND $Y = 30$.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE THE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

12863-003

图2. 时序的电平

绝对最大额定值

表4.

参数	额定值
模拟输入 IN+、IN-至GND ¹	-0.3 V至 $V_{REF} + 0.3$ V或±130 mA
电源电压 REF、VIO至GND	-0.3 V至+6.0 V
VDD至GND	-0.3 V至+3.0 V
VDD至VIO	-6 V至+3 V
数字输入至GND	-0.3 V至VIO + 0.3 V
数字输出至GND	-0.3 V至VIO + 0.3 V
存储温度范围	-65°C至+150°C
结温	150°C
θ_{JA} 热阻	
10引脚MSOP封装	200°C/W
10引脚LFCSP_WD	48.7°C/W
θ_{JC} 热阻	
10引脚MSOP封装	44°C/W
10引脚LFCSP_WD	2.96°C/W
回流焊	JEDEC标准(J-STD-020)

¹ 有关IN+和IN-的解释，请参见“模拟输入”部分。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

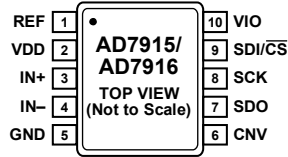
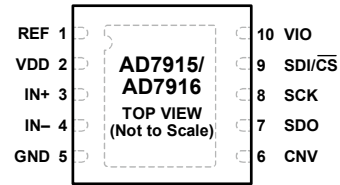


图3. 10引脚MSOP的引脚配置



NOTES
1. THE EXPOSED PAD CAN BE CONNECTED TO GND. THIS CONNECTION IS NOT REQUIRED TO MEET THE ELECTRICAL PERFORMANCES.

图4. 10引脚LFCSP的引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	REF	AI	基准输入电压。REF范围为2.4 V至5.1 V。
2	VDD	P	此引脚参考GND引脚，必须通过与之靠近的10 μF电容去耦至GND引脚。
3	IN+	AI	正向差分模拟输入。
4	IN-	AI	负向差分模拟输入。
5	GND	P	电源地。
6	CNV	DI	转换输入。此输入具有多个功能。在上升沿，CNV启动转换并选择器件的接口模式：链模式或片选(CS)模式。CS模式下，CNV为低电平时SDO引脚使能。链模式下，数据在CNV为高电平时读取。
7	SDO	DO	串行数据输出。转换结果通过此引脚输出。它与SCK同步。
8	SCK	DI	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出。
9	SDI/CS	DI	串行数据输入/片选。此输入具有多个功能。如下选择ADC的接口模式： 如果此引脚在CNV上升沿期间为低电平，则选择链模式。 此模式下，SDI/CS用作数据输入，以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI/CS上的数字数据电平通过SDO输出，延迟16个SCK周期。 如果SDI/CS在CNV上升沿期间为高电平，则选择CS模式。 此模式下，SDI/CS或CNV在低电平时均可使能串行输出信号。
10	VIO EP	P	输入/输出接口数字电源。此引脚的标称电源与主机接口电源相同(1.8 V、2.5 V、3 V或5 V)。 裸露焊盘。对于引脚架构芯片级封装(LFCSP)，裸露焊盘可连接到GND。此连接无需满足电气性能。

¹ AI表示模拟输入，P表示电源，DI表示数字输入，DO表示数字输出。

典型性能参数

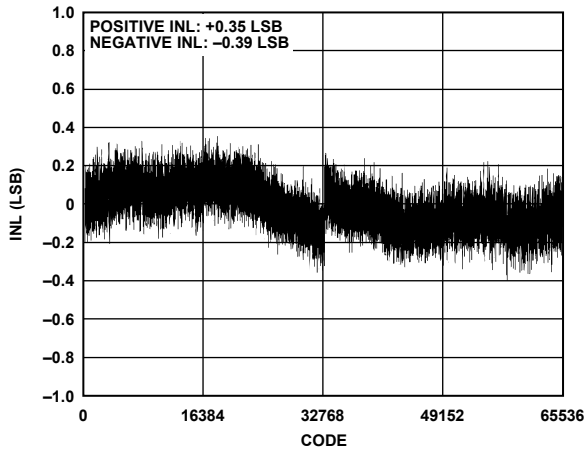


图5. 积分非线性(INL)与代码的关系, REF = 5 V

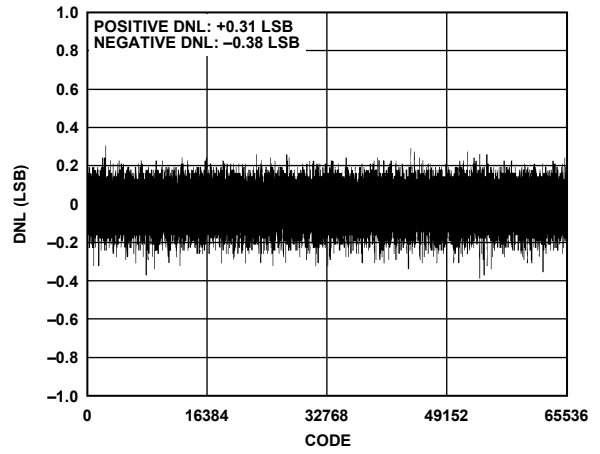


图8. 差分非线性(DNL)与代码的关系, REF = 5 V

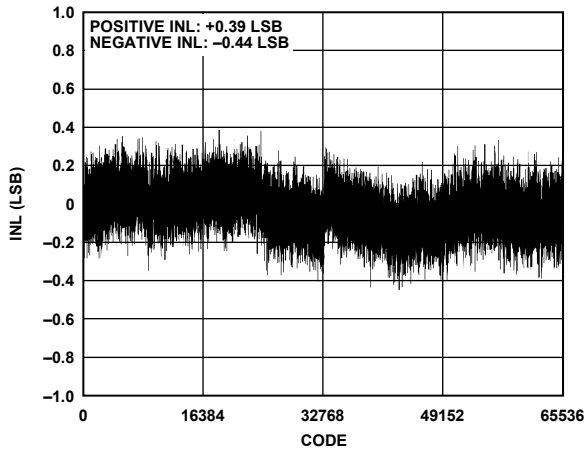


图6. INL与代码的关系, REF = 2.5 V

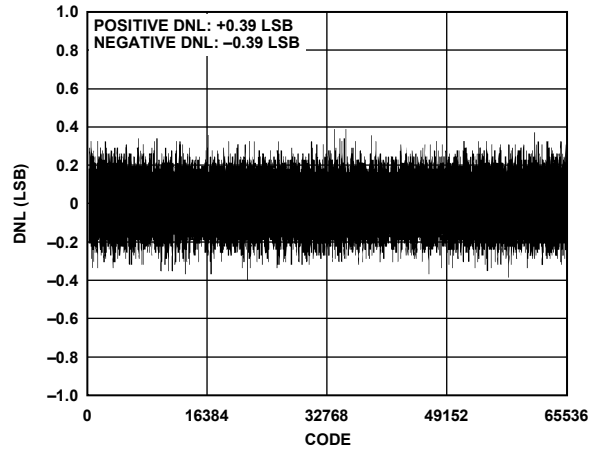


图9. DNL与代码的关系, REF = 2.5 V

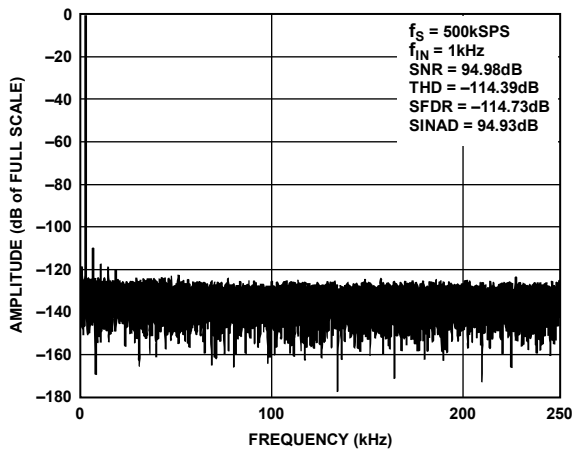


图7. AD7916 FFT曲线图, REF = 5 V

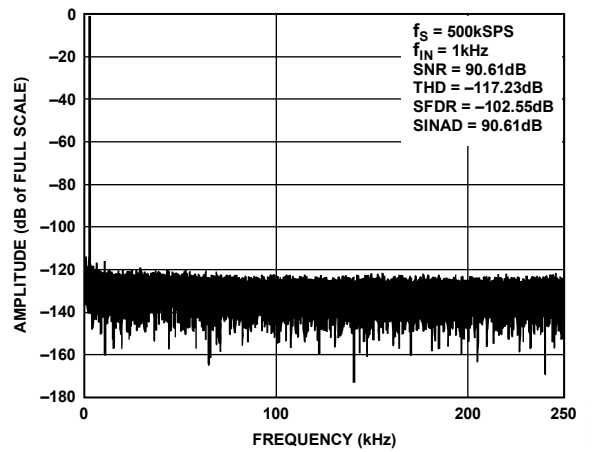


图10. AD7916 FFT曲线图, REF = 2.5 V

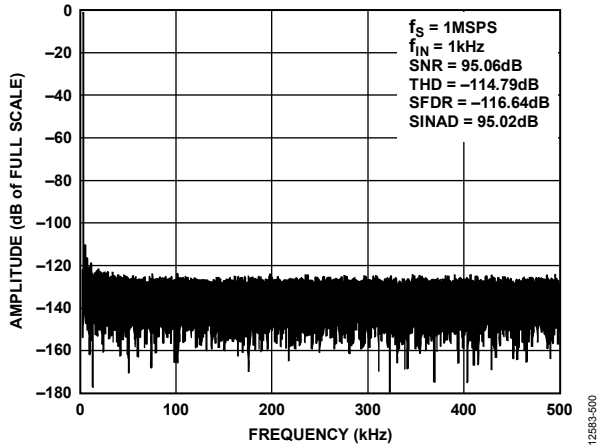


图11. AD7915 FFT曲线图, REF = 5 V

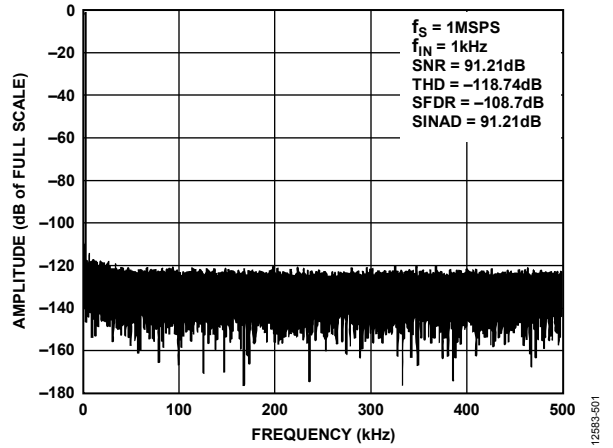


图14. AD7915 FFT曲线图, REF = 2.5 V

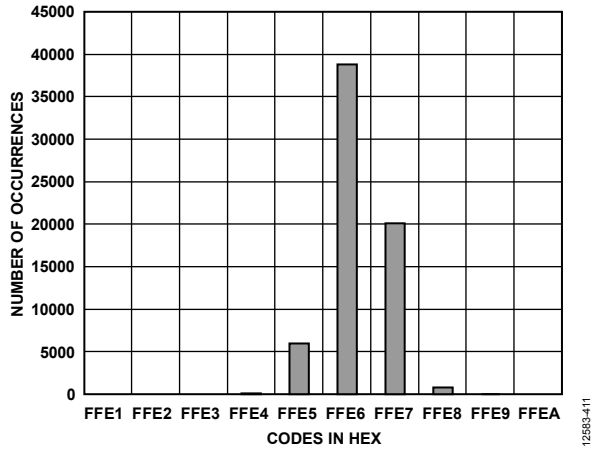


图12. 一个直流输入的直方图(码中心), REF = 5 V

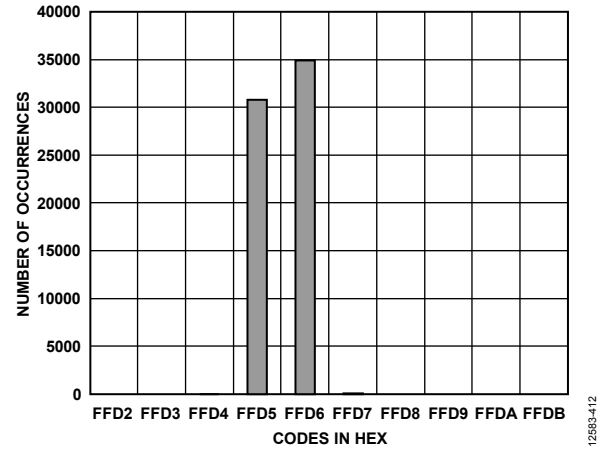


图15. 一个直流输入的直方图(码跃迁), REF = 5 V

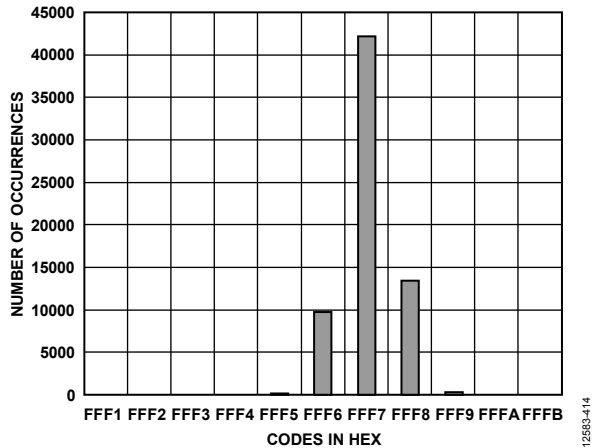


图13. 一个直流输入的直方图(码中心), REF = 2.5 V

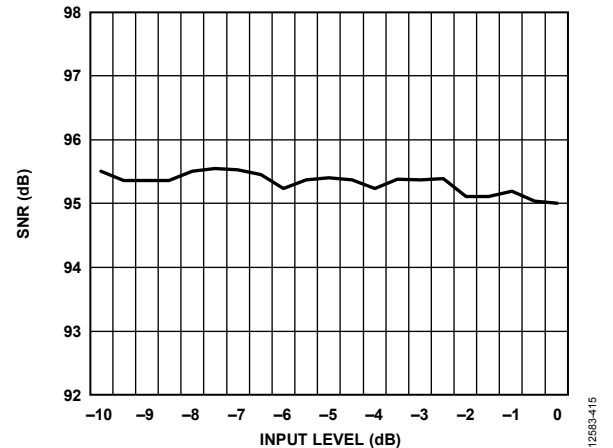


图16. SNR与输入电平的关系

AD7915/AD7916

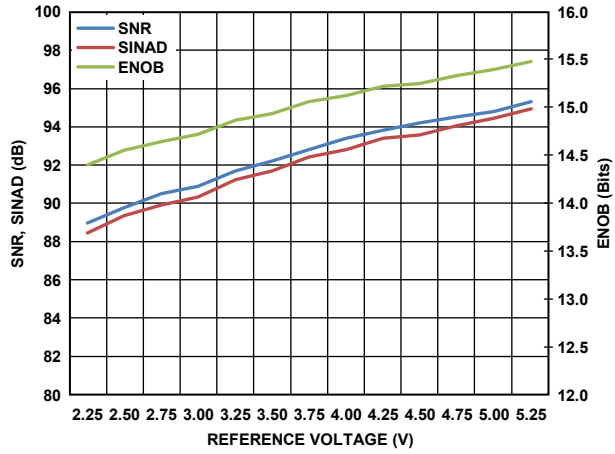


图17. SNR、SINAD和ENOB与基准电压的关系

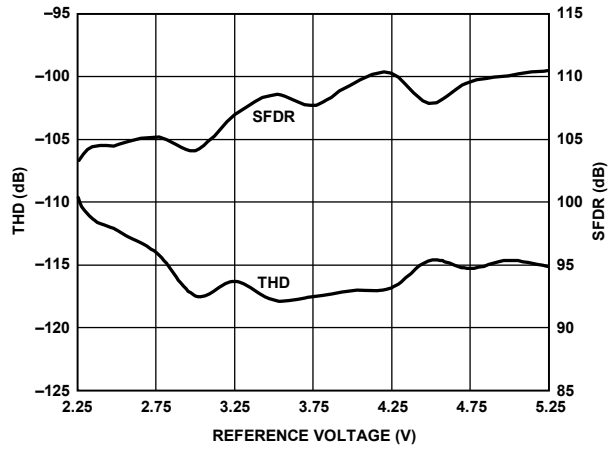


图20. THD和SFDR与基准电压的关系

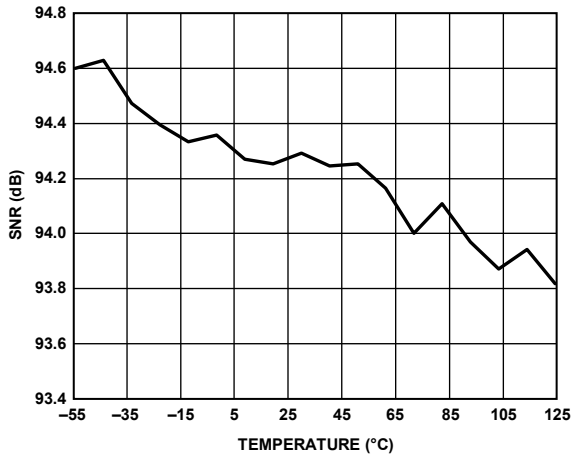


图18. SNR与温度的关系

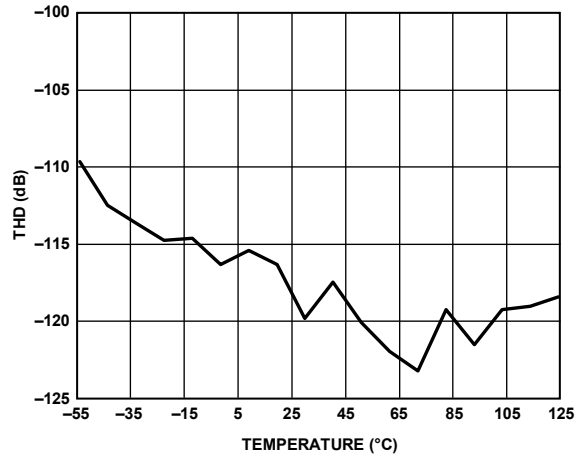


图21. THD与温度的关系

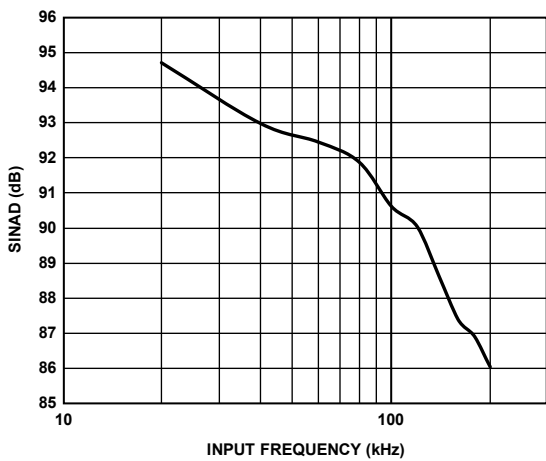


图19. SINAD与输入频率的关系

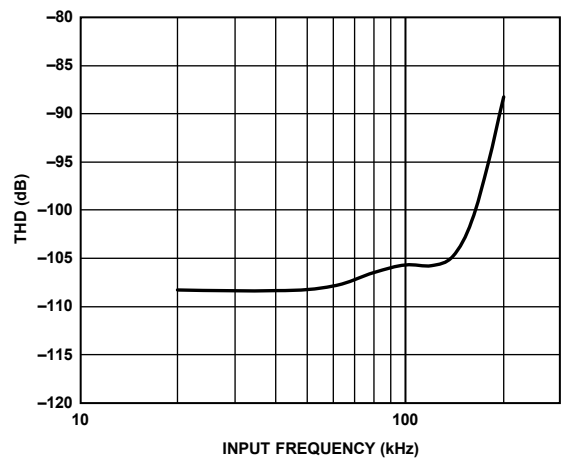


图22. THD与输入频率的关系

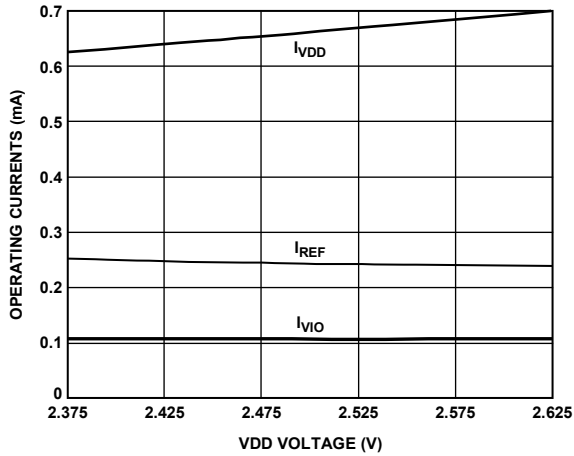


图23. 工作电流与VDD电压的关系(AD7916)

12583-118

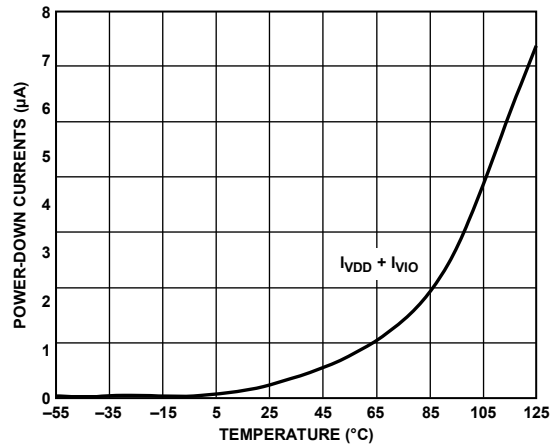


图26. 关断电流与温度的关系

12583-303

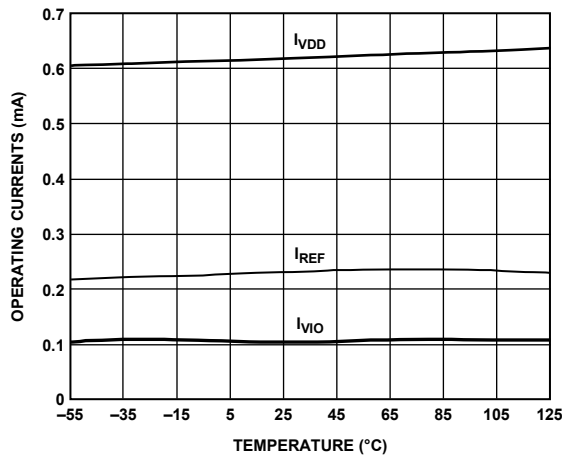


图24. 工作电流与温度的关系(AD7916)

12583-120

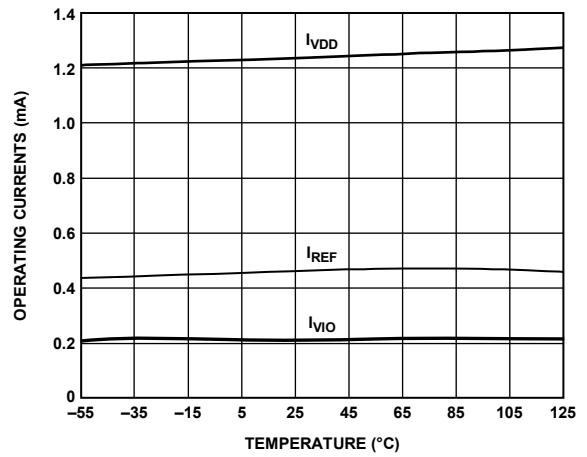


图27. 工作电流与温度的关系(AD7915)

12583-123

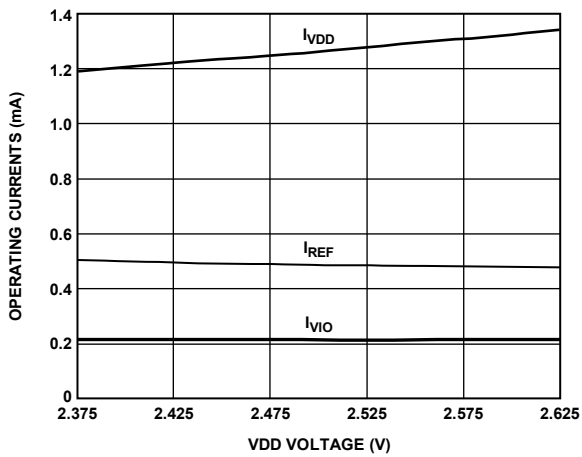


图25. 工作电流与VDD电压的关系(AD7915)

12583-121

术语

积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图29)。

差分非线性误差(DNL)

在一个理想ADC中, 码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

零电平误差

理想中间值电压(即0 V)与产生中间值输出码(即0 LSB)的实际电压之差称为零电平误差。

增益误差

当模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时(对于 ± 5 V范围来说, 应在 -4.999981 V), 发生第一个码跃迁(从100 ... 00跃迁至100 ... 01)。当模拟电压低于标称正满量程 $1\frac{1}{2}$ LSB时(对于 ± 5 V范围, 应在 $+4.999943$ V), 发生最后一个码跃迁(从011 ... 10跃迁至011 ... 11)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差, 用分贝(dB)表示。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。与SINAD的关系如下:

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ENOB用位表示。

无噪声代码分辨率

无噪声代码分辨率是指这样一个位数, 如果超过该位数, 则无法明确无误地解析各个代码, 其计算公式为:

$$\text{无噪声代码分辨率} = \log_2(2^N/\text{峰峰值噪声})$$

它用位表示。

有效分辨率

有效分辨率的计算公式如下:

$$\text{有效分辨率} = \log_2(2^N/\text{均方根输入噪声})$$

它用位表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比, 用分贝(dB)表示。

动态范围

动态范围指满量程的均方根值与输入短接在一起时测得的总均方根噪声之比, 用分贝(dB)表示。它使用 -60 dB的信号测得, 因此包括所有噪声源和DNL伪像。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比, 用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比, 用分贝(dB)表示。

孔径延迟

孔径延迟用于衡量采集性能, 指从CNV输入的上升沿到输入信号被保持以用于转换的时间。

瞬态响应

瞬态响应是指施加满量程阶跃信号之后, ADC对输入进行精确采集所需的时间。

工作原理

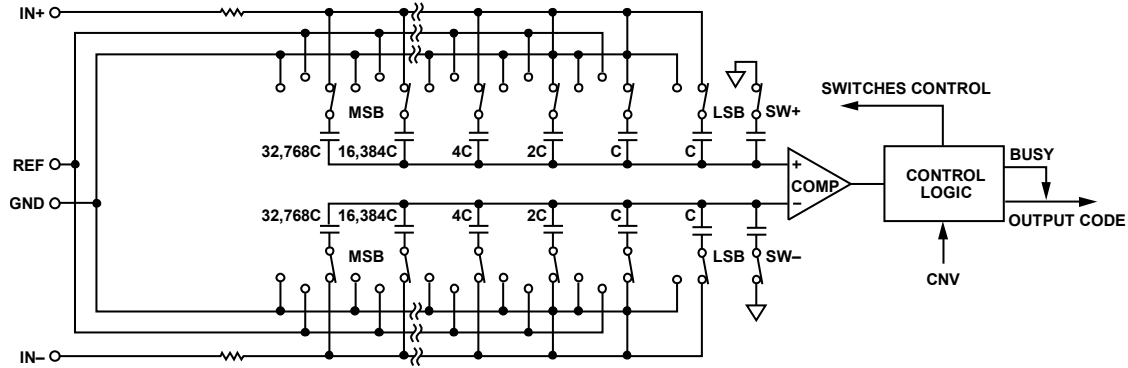


图28. ADC原理示意图

电路信息

AD7915/AD7916是高速、低功耗、单电源、精密16位ADC，使用逐次逼近型架构。

AD7916每秒可转换500,000样本(500 kSPS)，而AD7915每秒可转换1,000,000样本(1 MSPS)；在两次转换之间，两款器件均会关断。以1 MSPS速率工作时，AD7915典型功耗为7 mW，因此该ADC非常适合电池供电应用。

AD7915/AD7916为用户提供片内采样保持放大器，没有任何流水线延迟，堪称多路复用多通道应用的理想之选。

AD7915/AD7916可与任何1.8 V至5 V数字逻辑系列接口，提供10引脚MSOP封装或小型10引脚LFCSP封装，节省空间，配置灵活。

转换器操作

AD7915/AD7916是基于电荷再分配数模转换器(DAC)的逐次逼近型ADC。图28显示了该ADC的简化电路图。容性DAC包含两个完全相同的18位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入端相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，并采集IN+和IN-输入端的模拟信号。当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。

当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的IN+和IN-输入之间的差分电压施加于比较器输入端，导致比较器不平衡。通过切换GND与REF之间电容阵列的各元件，比较器输入将按照二进制加权电压步进($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/65,536$)变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码。

AD7915/AD7916具有一个片上转换时钟，因此转换过程不需要串行时钟SCK。

AD7915/AD7916

传递函数

AD7915/AD7916的理想传递特性如图29和表6所示。

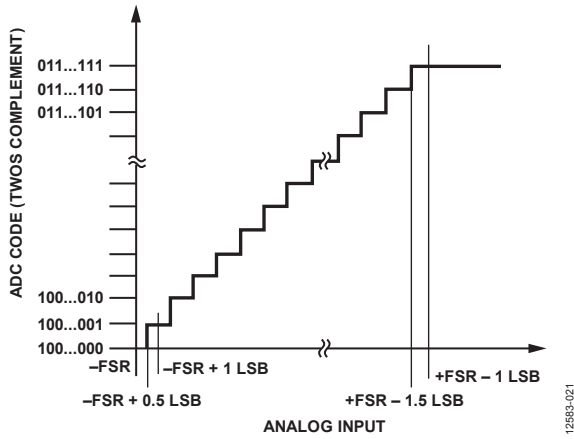


图29. ADC理想传递函数

表6. 输出码和理想输入电压

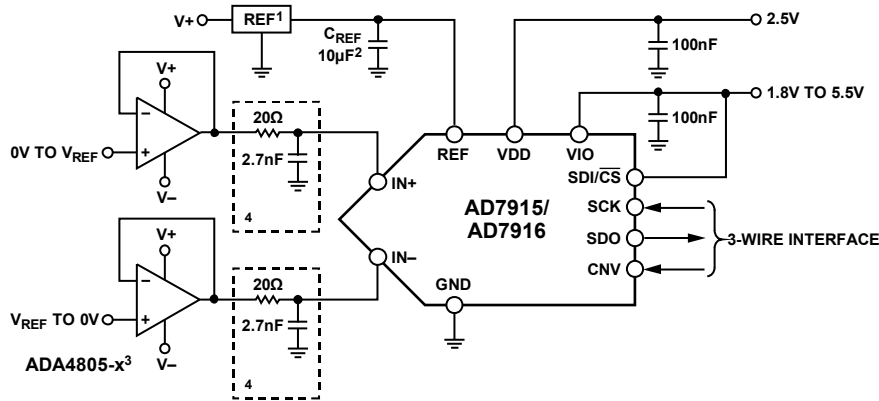
描述	模拟输入 $V_{REF} = 5V$	数字输出码 (十六进制)
+FSR - 1 LSB	+4.999847 V	0x7FFF ¹
中间电平 + 1 LSB	+152.6 μ V	0x00001
中间电平	0 V	0x00000
中间电平 - 1 LSB	-152.6 μ V	0xFFFF
-FSR + 1 LSB	-4.999847 V	0x8001
-FSR	-5 V	0x8000 ²

¹ 这也是超量程模拟输入($V_{IN+} - V_{IN-}$ 大于 $V_{REF} - V_{GND}$)对应的代码。

² 这也是欠量程模拟输入($V_{IN+} - V_{IN-}$ 低于 V_{GND})对应的代码。

典型连接图

图30所示的例子为采用多个电源时AD7915/AD7916的建议连接图。



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.

² C_{REF} IS USUALLY A 10 μ F CERAMIC CAPACITOR (X5R).

³SEE THE RECOMMENDED LAYOUT IN FIGURE 49 AND FIGURE 50.

⁴SEE THE DRIVER AMPLIFIER CHOICE SECTION.

⁵OPTIONAL FILTER. SEE THE ANALOG INPUTS SECTION.

图30. 采用多个电源的典型应用电路

模拟输入

图31显示了AD7915/AD7916输入结构的等效电路。

两个二极管D1和D2为模拟输入IN+和IN-提供ESD保护。需要注意，模拟输入信号的电压值不能比基准输入电压(REF)高0.3 V以上。如果模拟输入信号的电压超过这一水平，二极管将呈正偏并开始传导电流。这些二极管可以处理最高130 mA的正偏电流。然而，如果输入缓冲器的供电电压(例如ADA4805-1或ADA4805-2的供电电压，图30显示为ADA4805-x)与REF不同，则模拟输入信号的电压可能比电源电压高超过0.3 V。此时(例如输入缓冲器短路)，电流限制可以保护器件。

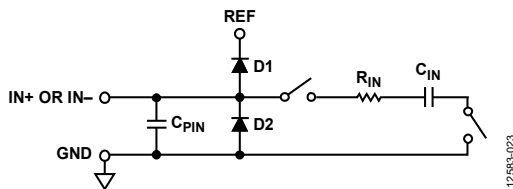


图31. 等效模拟输入电路

模拟输入结构支持IN+和IN-之间真差分信号的采样。借助这些差分输入，可以抑制两个输入端的共模信号。

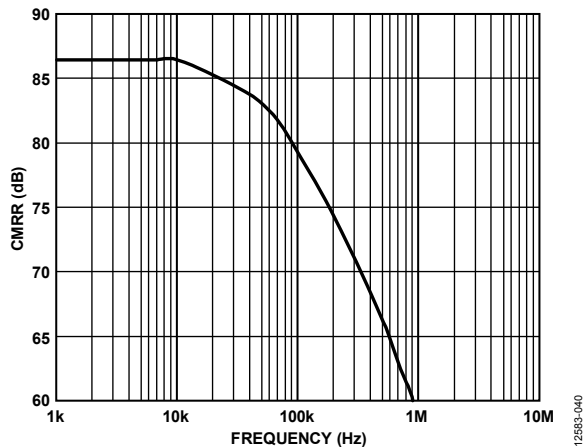


图32. 模拟输入CMRR与频率的关系

在采集阶段，模拟输入(IN+或IN-)的阻抗可以看成是由 R_{IN} 和 C_{IN} 串联构成的网络与电容 C_{PIN} 的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为400 Ω ，是由串联电阻与开关的导通电阻构成的集总元件。 C_{IN} 典型值为30 pF，主要包括ADC采样电容。

在采样阶段，开关闭合时，输入阻抗受限于 C_{PIN} 。 R_{IN} 和 C_{IN} 构成一个单极低通滤波器，可以降低不良混叠效应并限制噪声。

当驱动电路的源阻抗较低时，可以直接驱动AD7915/AD7916。高源阻抗会显著影响交流特性，特别是THD。直流特性对输入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。

驱动放大器选择

虽然AD7915/AD7916很容易驱动，但驱动放大器必须满足下列要求：

- 驱动放大器所产生的噪声必须足够低，以保持AD7915/AD7916的SNR和转换噪声性能。来自驱动器的噪声由 R_{IN} 和 C_{IN} 所构成的AD7915/AD7916模拟输入电路单极低通滤波器进行滤波，或者由外部滤波器(如有)进行滤波。AD7915/AD7916的典型噪声为60 μ V rms，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{60}{\sqrt{60^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB} 为AD7915/AD7916的输入带宽(10 MHz)，单位为兆赫，或者是输入滤波器(如有)的截止频率。

N 为放大器的噪声增益(例如，缓冲器配置时为1)。

e_N 为运算放大器的等效输入噪声电压，单位为nV/ $\sqrt{\text{Hz}}$ 。

- 对于交流应用，应使用THD性能与AD7915/AD7916相当的驱动器。
- 对于多通道、多路复用应用，驱动放大器和AD7915/AD7916模拟输入电路必须使电容阵列以16位水平(0.0015%，15 ppm)。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与16位水平的建立时间显著不同，因此选择之前必须进行验证。

表7. 推荐驱动放大器¹

放大器	典型应用
ADA4805-1/ADA4805-2	极低噪声、小尺寸、低功耗
ADA4940-1	极低噪声、低功耗、单端至差分
ADA4941-1	极低噪声、低功耗、单端至差分
ADA4841-1/ADA4841-2	极低噪声、小尺寸、低功耗
ADA4897-2	极低噪声、高频
AD8655	5 V单电源、低噪声
AD8605, AD8615	5 V单电源、低功耗

¹ 关于最新的推荐驱动器，参见AD7915/AD7916产品页面上列出的产品推荐。

四线式接口使用SDI/ $\overline{\text{CS}}$ 、CNV、SCK和SDO信号，用于启动转换的CNV与回读时序(SDI)独立，这在低抖动采样或同步采样应用中很有用。

链模式下，AD7915/AD7916提供菊花链特性，利用SDI输入可在类似移位寄存器的单条数据线上实现多个ADC的级联。

器件工作模式取决于CNV上升沿出现时的SDI/ $\overline{\text{CS}}$ 电平。如果SDI/ $\overline{\text{CS}}$ 为高电平，选择 $\overline{\text{CS}}$ 模式，而如果SDI/ $\overline{\text{CS}}$ 为低电平，则选择链模式。SDI/ $\overline{\text{CS}}$ 保持时间是当SDI/ $\overline{\text{CS}}$ 和CNV连接在一起时，始终选择链模式。任一模式下，AD7915/AD7916均提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示，以中断数字主机并触发数据读取。如果无繁忙指示，用户必须在回读前等待最大转换时间。

繁忙指示功能在下列情况下使能：

- $\overline{\text{CS}}$ 模式下，如果ADC转换结束时CNV或SDI为低电平（参见图38和图42）。

- 链模式下，如果CNV上升沿期间SCK为高电平（参见图46）。

$\overline{\text{CS}}$ 模式(三线式且无繁忙指示)

在将单个AD7915/AD7916连接到兼容SPI的数字主机时，通常会使用此模式。连接图如图35所示，相应的时序如图36所示。

将SDI/ $\overline{\text{CS}}$ 连接到VIO时，CNV上的上升沿启动转换，选择 $\overline{\text{CS}}$ 模式，并强制SDO进入高阻态。转换完成后，AD7915/AD7916进入采集阶段并关断。CNV变为低电平时，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

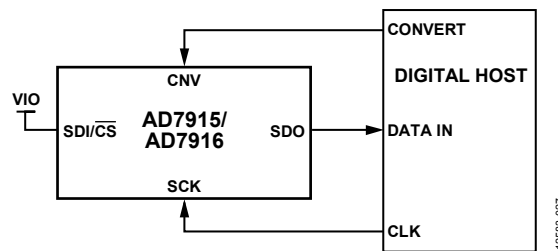


图35. $\overline{\text{CS}}$ 模式(无繁忙指示、三线式)连接图(SDI高电平)

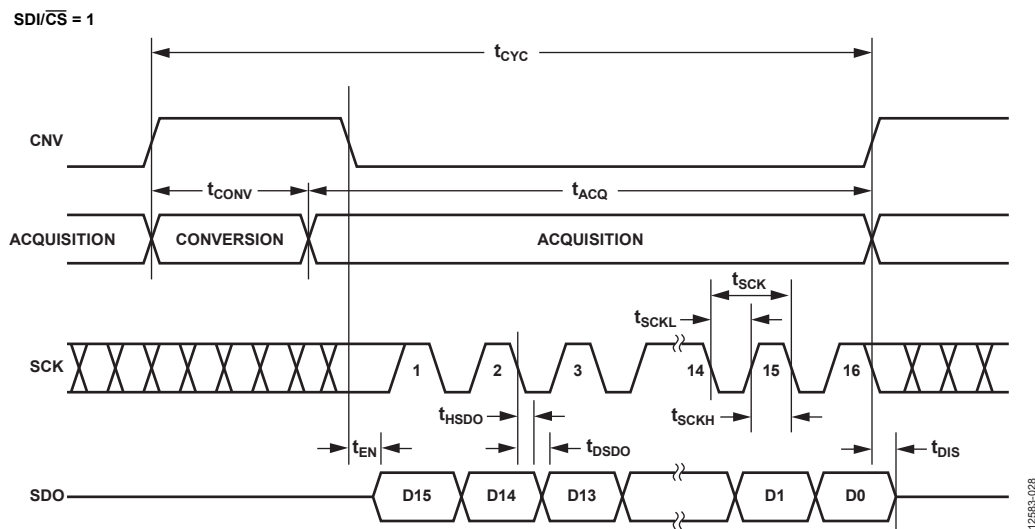


图36. $\overline{\text{CS}}$ 模式(无繁忙指示、三线式)串行接口时序(SDI高电平)

AD7915/AD7916

CS模式(三线式且有繁忙指示)

在将单个AD7915/AD7916连接到具有中断输入的兼容SPI的数字主机时，通常会使用此模式。

连接图如图37所示，相应的时序如图38所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。无论CNV状态如何，SDO都会保持高阻态，直至转换完成。最小转换时间之前，CNV可选择其它SPI器件，如模拟多路复用器，但CNV必须在最小转换时间逝去前返回低电平，接着在最大转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉，此转换可用作中断信号，以启动由数字主机控制的数据读取。AD7915/AD7916接着进入采集阶段并关断。数据位在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使

用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第17个SCK下降沿之后，或者当CNV变为高电平时(以最先出现者为准)，SDO返回高阻态。

如果同时选择多个AD7915/AD7916器件，SDO输出引脚可在不造成损坏或引起闩锁的情况下处理此竞争。同时，建议此竞争尽可能短暂，以限制额外功耗。

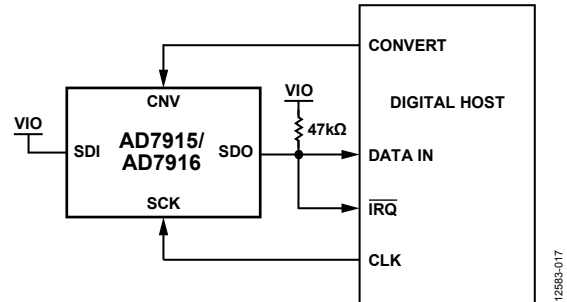


图37. CS模式(三线式且有繁忙指示)连接图(SDI高电平)

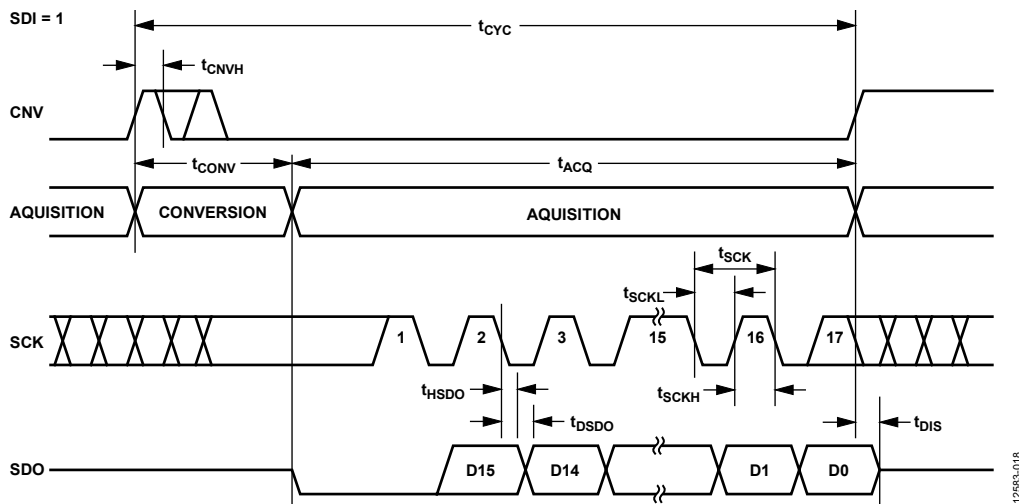


图38. CS模式(三线式且有繁忙指示)串行接口时序(SDI高电平)

$\overline{\text{CS}}$ 模式(四线式且无繁忙指示)

在将多个AD7915/AD7916连接到兼容SPI的数字主机时，通常会使用此模式。

使用两个AD7915/AD7916器件的连接图示例如图39所示，相应的时序如图40所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择SDI/ $\overline{\text{CS}}$ 模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间必须保持高电平；如果SDI/ $\overline{\text{CS}}$ 和CNV为低电平，SDO变为低电平。最小转换时间之前，SDI/ $\overline{\text{CS}}$ 可用于选择其它SPI器件，如模拟多路复用器，但SDI/ $\overline{\text{CS}}$ 必须在最小转换时间逝去前返回高电平，接

着在最大可能转换时间内保持高电平。转换完成后，AD7915/AD7916进入采集阶段并关断。每个ADC结果可通过将SDI/ $\overline{\text{CS}}$ 输入拉低来读取，从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当SDI/ $\overline{\text{CS}}$ 变为高电平时(以最先出现者为准)，SDO返回高阻态，可读取另一个AD7915/AD7916。

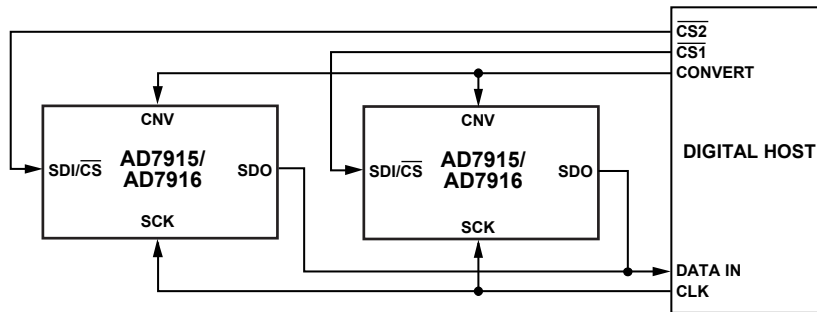


图39. $\overline{\text{CS}}$ 模式(无繁忙指示、四线式)连接图

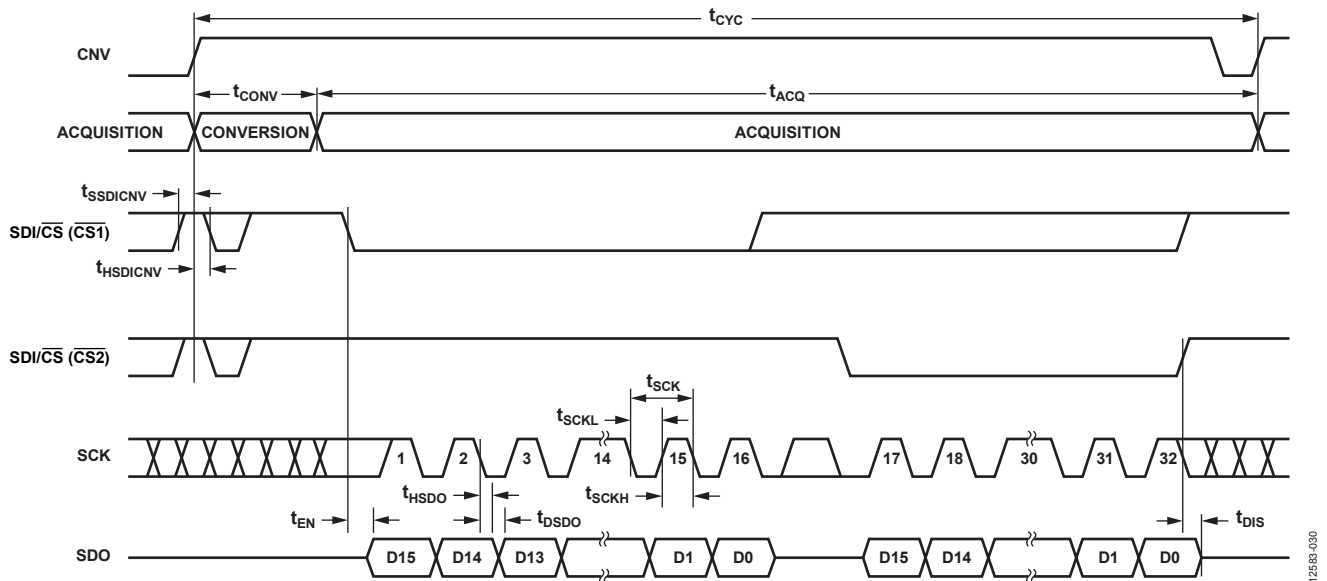


图40. $\overline{\text{CS}}$ 模式(无繁忙指示、四线式)串行接口时序

AD7915/AD7916

CS模式(四线式且有繁忙指示)

在将单个AD7915/AD7916连接到具有中断输入的SPI兼容数字主机时，以及用于采样模拟输入的CNV与用于选择数据读取的信号需要相互保持独立时，通常会使用此模式。该要求在需要CNV低抖动的应用中尤其重要。

连接图如图41所示，相应的时序如图42所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间必须保持高电平。(如果SDI和CNV为低电平，SDO变为低电平。)最小转换时间之前，SDI可用于选择其它SPI器件，如模拟多路复用器，但SDI必须在最小转换时间逝去前返回低电平，接着在最大转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO从高阻态变为低阻态。

结合SDO线路上的上拉，此转换可用作中断信号，以启动由数字主机控制的数据回读。AD7915/AD7916接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第17个SCK下降沿之后，或者当SDI变为高电平时(以最先出现者为准)，SDO返回高阻态。

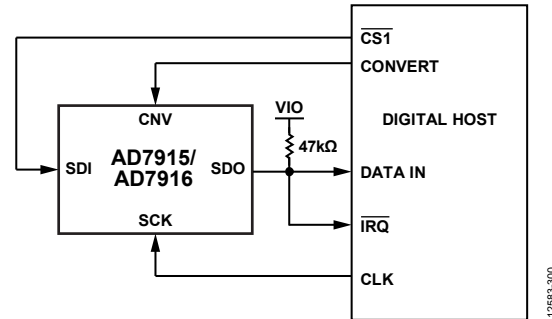


图41. CS模式(四线式且有繁忙指示)连接图

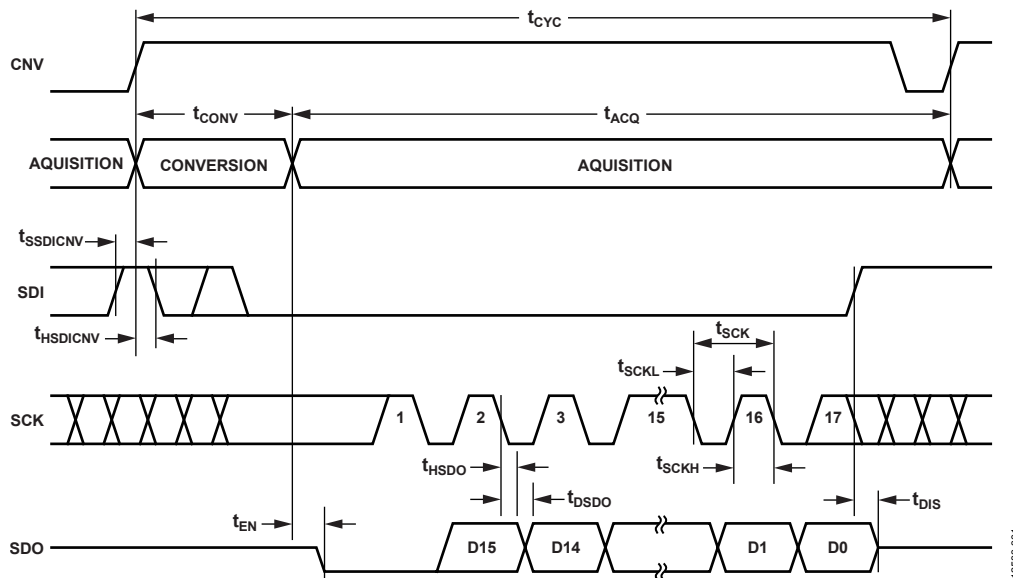


图42. CS模式(四线式且有繁忙指示)串行接口时序

链模式(无繁忙指示)

此模式可用于在三线式串行接口上以菊花链形式连接多个AD7915/AD7916器件。这一特性有助于减少器件数量和线路连接，例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用两个AD7915/AD7916器件的连接图示例如图43所示，相应的时序如图44所示。

SDI/ $\overline{\text{CS}}$ 和CNV为低电平时，SDO变为低电平。将SCK置为低电平时，CNV上的上升沿启动转换，并选择链模式。此模式下，CNV在转换阶段和随后的数据回读期间保持高电

平。转换完成后，MSB输出至SDO，AD7915/AD7916进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个输出。对于每个ADC，SDI馈入内部移位寄存器的输入，并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $16 \times N$ 个时钟。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能够实现更快的读取速率，从而在链中容纳更多AD7915/AD7916器件，只要数字主机具有合理的保持时间。最大转换速率可因总回读时间而降低。

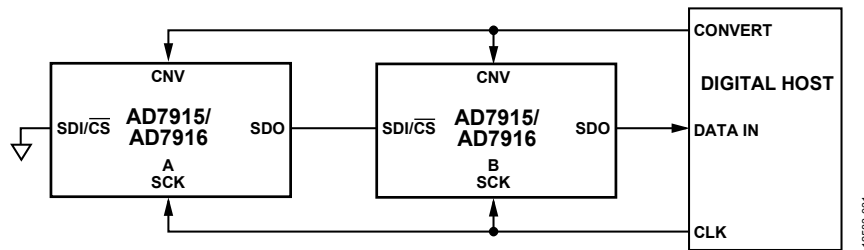


图43. 链模式(无繁忙指示)连接图

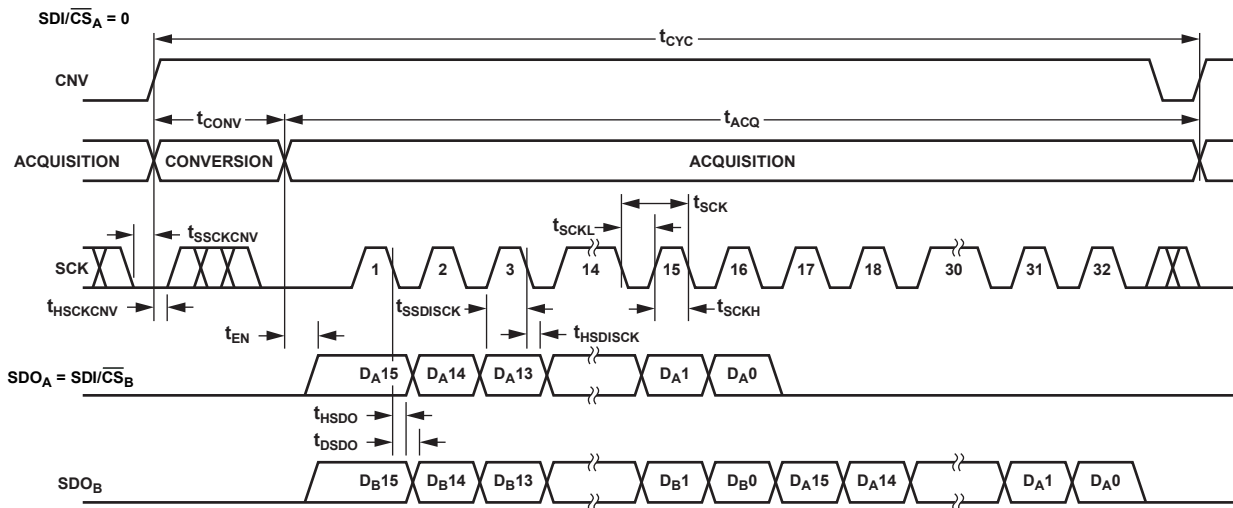


图44. 链模式(无繁忙指示)串行接口时序

AD7915/AD7916

链模式(有繁忙指示)

此模式也可用于在三线式串行接口上以菊花链形式连结多个AD7915/AD7916器件,同时提供繁忙指示。这一特性有助于减少器件数量和线路连接;例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用三个AD7915/AD7916器件的连接图示例如图45所示,相应的时序如图46所示。

SDI和CNV为低电平时,SDO变为低电平。将SCK置为高电平时,CNV上的上升沿启动转换,选择链模式,并启用繁忙指示功能。此模式下,CNV在转换阶段和随后的数据回读期间保持高电平。链内所有ADC完成转换后,最靠近

数字主机的ADC的SDO引脚(参见图45中标示为C的AD7915/AD7916 ADC)变为高电平。SDO上的这一转换可用作繁忙指示,以触发由数字主机控制的数据回读。AD7915/AD7916接着进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿以MSB优先方式逐个输出。对于每个ADC,SDI馈入内部移位寄存器的输入,并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB,回读N个ADC需要 $16 \times N + 1$ 个时钟。虽然上升沿可以用于捕捉数据,但使用SCK下降沿的数字主机可实现更快的读取速率,从而在链中容纳更多AD7915/AD7916器件,只要数字主机具有合理的保持时间。

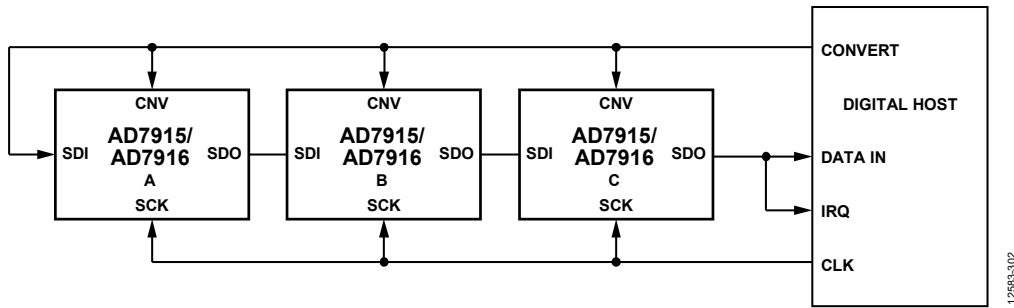


图45. 链模式(有繁忙指示)连接图

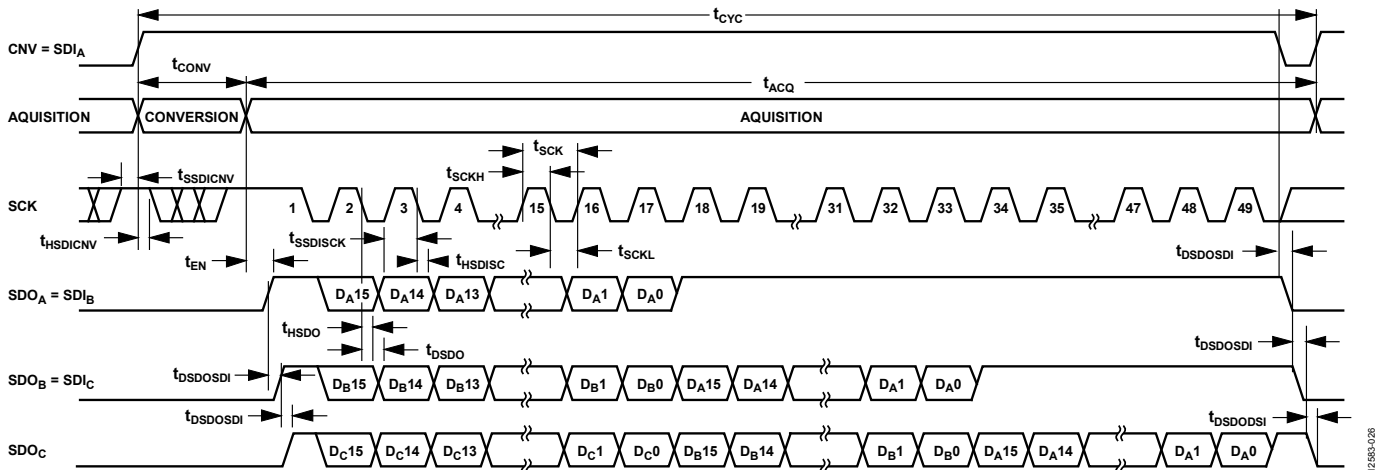


图46. 链模式(有繁忙指示)串行接口时序

应用信息

与BLACKFIN DSP接口

AD7915/AD7916可以轻松连接到Blackfin® DSP SPI或SPORT。SPI配置很简单，使用标准SPI接口就能完成，如图47所示。

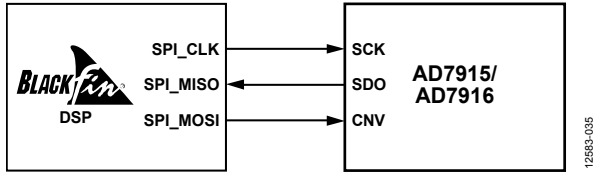


图47. Blackfin SPI接口的典型连接

同样，SPORT接口可用于与该ADC接口。SPORT接口有很多优点，比如可以使用直接存储器访问(DMA)，并提供更低抖动的CNV信号(由硬件计数器产生)。

SPORT与AD7915/AD7916接口之间可能需要一些胶连逻辑。AD7915/AD7916的评估板直接与基于Blackfin (ADSP-BF527)的SDP板的SPORT接口。用于SPORT接口的配置需要添加一些胶连逻辑，如图48所示。将CNV置为高电平时，ADC的SCK输入关断，以便在转换数据时保持SCK线路静态，从而确保结果的完整性。此方法使用ADC门和NOT门形成SCK路径。RSCLK和RFS路径上使用的其他逻辑门用于延迟匹配，在路径长度较短时可以省去。

以上只是将SPORT接口用于该ADC的一种方法；还存在其他相似解决方案。

布局布线

AD7915/AD7916的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。AD7915/AD7916的模拟信号位于左侧，数字信号位于右侧，这种引脚排列可以简化设计。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片管芯，除非在AD7915/AD7916下方铺一个接地层用作屏蔽。不要在模拟信号路径附近运行快速开关信号(如CNV或时钟)。避免数字信号与模拟信号交叠。

建议至少使用一个接地层。数字和模拟部分可以共用或分割使用接地层。前一情况中，接地层应在AD7915/AD7916器件下方连接。

AD7915/AD7916基准电压输入REF具有动态输入阻抗。使用最小寄生电感去耦REF的方法是将基准电压源的去耦陶瓷电容靠近(理想情况是正对)REF和GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，AD7915/AD7916的电源VDD和VIO应通过陶瓷电容去耦，其值通常为100 nF，靠近AD7915/AD7916放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

图49和图50是遵循这些规则的布局布线示例。

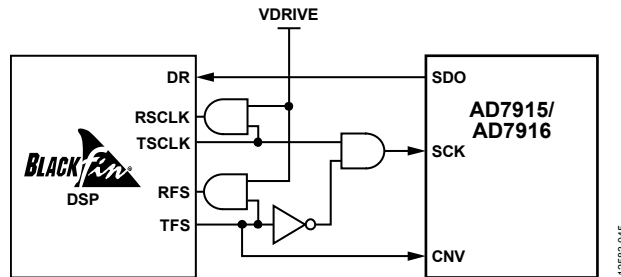


图48. Blackfin Sport接口的评估板连接

AD7915/AD7916

评估AD7915/AD7916性能

AD7915/AD7916评估板(EVAL-AD7915SDZ/EVAL-AD7916SDZ)的用户指南UG-340中给出了AD7915/AD7916的其它推荐布局。评估板套件包括装配完善且经过测试的评估板、用户指南以及用于从PC通过EVAL-SDP-CB1Z控制评估板的软件。

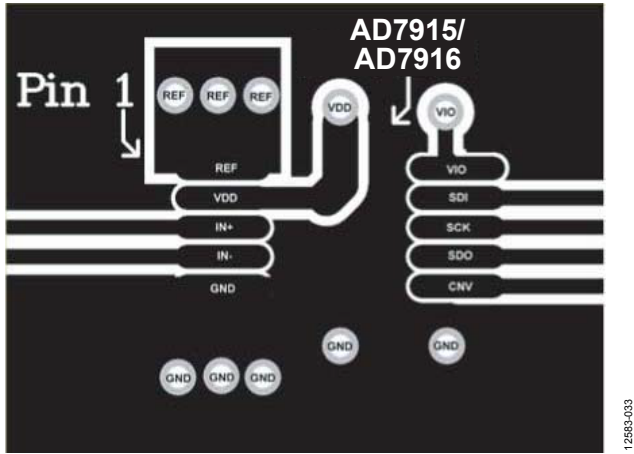


图49. AD7915/AD7916的推荐布局布线(顶层)

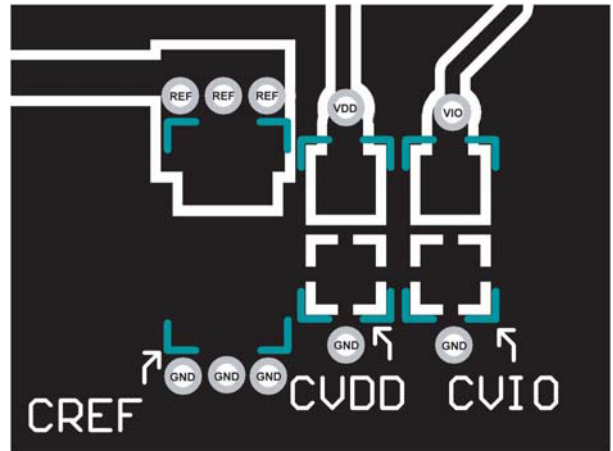


图50. AD7915/AD7916的推荐布局布线(底层)

外形尺寸

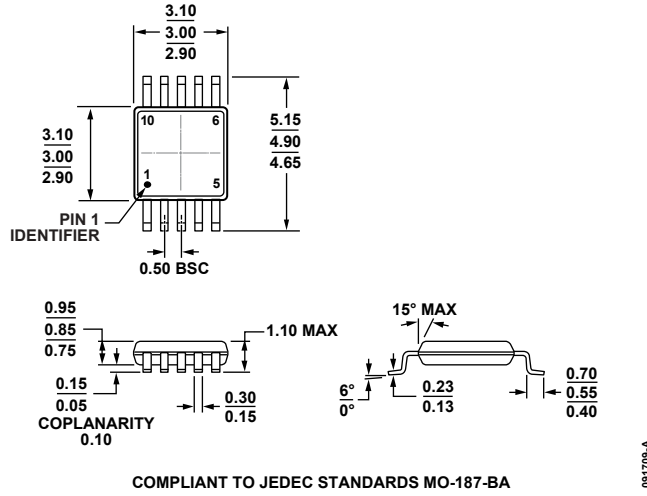


图51. 10引脚超小型封装[MSOP] (RM-10)

图示尺寸单位: mm

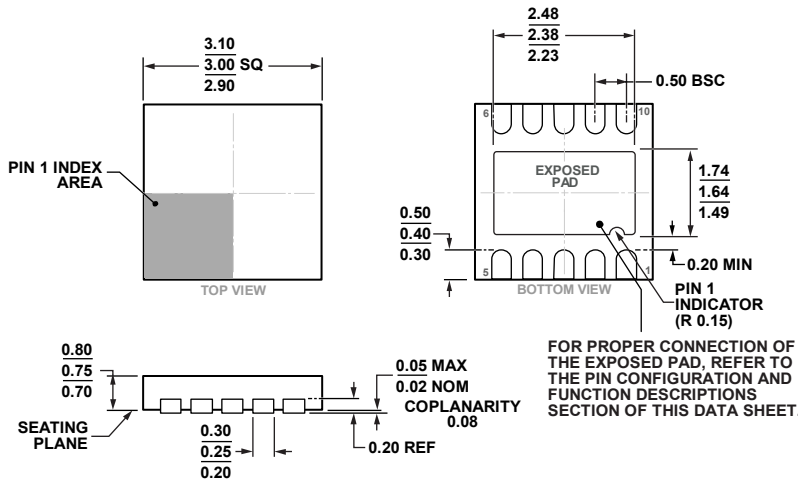


图52. 10引脚引脚架构芯片级封装[LFCSP_WD] 3 mm x 3 mm, 超薄体, 双排引脚(CP-10-9)

图示尺寸单位: mm

订购指南

型号 ^{1, 2, 3}	温度范围	封装描述	封装选项	订购数量	标识
AD7915BRMZ	-40°C至+125°C	10引脚MSOP, 卷带	RM-10	50	C85
AD7915BRMZ-RL7	-40°C至+125°C	10引脚MSOP, 7"卷带和卷盘	RM-10	1,000	C85
AD7915BCPZ-RL7	-40°C至+125°C	10引脚LFCSP_WD, 7"卷带和卷盘	CP-10-9	1,500	C87
AD7916BRMZ	-40°C至+125°C	10引脚MSOP, 卷带	RM-10	50	C86
AD7916BRMZ-RL7	-40°C至+125°C	10引脚MSOP, 7"卷带和卷盘	RM-10	1,000	C86
AD7916BCPZ-RL7	-40°C至+125°C	10引脚LFCSP_WD, 7"卷带和卷盘	CP-10-9	1,500	C87
EVAL-AD7915SDZ		评估板			
EVAL-AD7916SDZ		评估板			
EVAL-SDP-CB1Z		系统演示板, 通过USB与PC接口, 用作数据传输控制器板			

¹ Z = 符合RoHS标准的兼容器件。

² EVAL-AD7915SDZ和EVAL-AD7916SDZ板可单独用作评估板, 或与EVAL-SDP-CB1Z配合用于评估和演示。

³ EVAL-SDP-CB1Z板允许PC对所有带SD标志后缀的ADI评估板进行控制并与之通信。

注释